

SEMICONDUCTOR DEVICE AND ITS MANUFACTURING METHOD

Publication number: JP2001196282

Publication date: 2001-07-19

Inventor: OZEKI YOSHIO; MATSUMOTO KUNIO; SAKAGUCHI MASARU; YOSHIDA ISAMU

Applicant: HITACHI LTD

Classification:

- **International:** H01L21/301; H01L21/02; H01L21/02; (IPC1-7):
H01L21/02; H01L21/301

- **European:**

Application number: JP20000009951 20000113

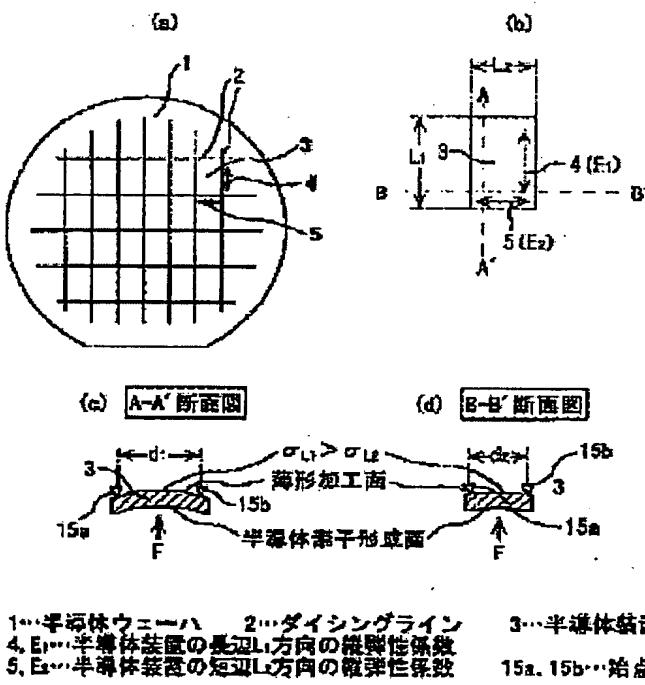
Priority number(s): JP20000009951 20000113

[Report a data error here](#)

Abstract of JP2001196282

PROBLEM TO BE SOLVED: To materialize the rise of chip break resistance of a semiconductor device without increasing the cost, and materialize the cost reduction in condition that it keeps chip break resistance. **SOLUTION:** In case the relation between the lengths L1 and L2 of the orthogonal end sides of a semiconductor device 3 is $L_1 > L_2$, the relation between the longitudinal elastic modulus E1(4) in the direction of long side L1 of a semiconductor device 3 and the longitudinal elastic modulus E2(5) in the direction of short side L2 is made such that $E_1 > E_2$. Moreover, in case the relation between L1 and L2 is such that $L_1 \approx L_2$, and the relation between the longitudinal elastic modulus E1 in the L1 direction of the semiconductor device and the longitudinal elastic modulus E2 in the L2 direction is such that $E_1 > E_2$, the relation between the dicing speed S1 in the L1 direction of the semiconductor device and the dicing speed S2 in the L2 direction is made such that $S_1 > S_2$.

図 1



Data supplied from the esp@cenet database - Worldwide

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号
特開2001-196282
(P2001-196282A)

(43)公開日 平成13年7月19日 (2001.7.19)

(51) Int.Cl.
H 01 L 21/02
21/301

識別記号

F I
H 01 L 21/02
21/78テマコト[®] (参考)
B
S
Q
L

審査請求 未請求 請求項の数 5 O.L. (全 7 頁)

(21)出願番号 特願2000-9951(P2000-9951)

(22)出願日 平成12年1月13日 (2000.1.13)

(71)出願人 000005108
株式会社日立製作所
東京都千代田区神田駿河台四丁目6番地
(72)発明者 大関 良雄
神奈川県横浜市戸塚区吉田町292番地 株
式会社日立製作所生産技術研究所内
(72)発明者 松本 邦夫
神奈川県横浜市戸塚区吉田町292番地 株
式会社日立製作所生産技術研究所内
(74)代理人 100068504
弁理士 小川 勝男 (外1名)

最終頁に続く

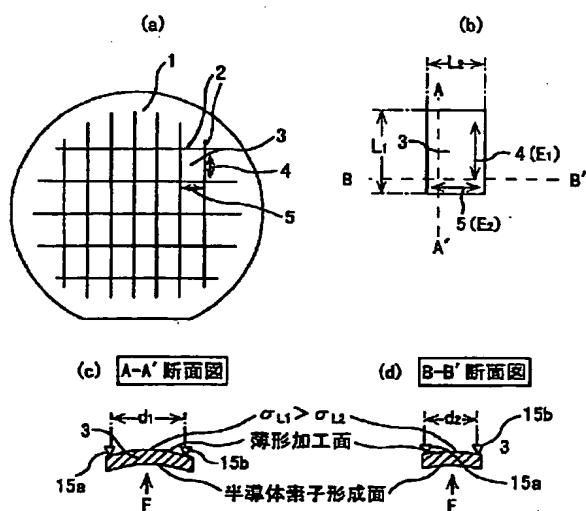
(54)【発明の名称】 半導体装置及びその製造方法

(57)【要約】

【課題】第一の目的は、半導体装置のチップ割れ耐性の向上をコストを増加させずに実現することである。また、第二の目的は、チップ割れ耐性を維持した状態で低コスト化を実現することである。

【解決手段】半導体装置3の直交する端辺の長さ L_1 、 L_2 の関係が $L_1 > L_2$ の場合、半導体装置3の長辺 L_1 方向の縦弾性係数 E_1 (4)と、短辺 L_2 方向の縦弾性係数 E_2 (5)の関係を $E_1 > E_2$ とする。また、 L_1 、 L_2 の関係が $L_1 = L_2$ 、半導体装置の L_1 方向の縦弾性係数 E_1 と L_2 方向の縦弾性係数 E_2 との関係が $E_1 > E_2$ の場合、半導体装置の L_1 方向のダイシング速度 S_1 と L_2 方向のダイシング速度 S_2 との関係を $S_1 > S_2$ とする。

図 1



1…半導体ウェーハ 2…ダイシングライン
4, E₁…半導体装置の長辺 L_1 方向の縦弾性係数
5, E₂…半導体装置の短辺 L_2 方向の縦弾性係数
3…半導体装置
15a, 15b…始点

FP01-0144-01	FP03-0046
FP01-0144-02	FP03-0050
FP01-0144-03	FP03-0051
FP01-0144-04	FP03-0270, FP03-0278
FP01-0144-05	
FP01-0144-06	07.11.27
FP01-0144-07	
FP03-0042	
FP03-0042-01	
FP03-0042-02	
ALLOWED	

【特許請求の範囲】

【請求項1】厚さが $300\mu m$ 以下に薄形化された半導体装置の直交する端辺の長さ L_1 、 L_2 の関係が $L_1 > L_2$ であり、半導体装置の長辺 L_1 方向の縦弾性係数 E_1 と短辺 L_2 方向の縦弾性係数 E_2 との関係を $E_1 > E_2$ としたことを特徴とする半導体装置。

【請求項2】前記半導体装置を構成する材料がシリコン単結晶であり、その結晶方位〈111〉、〈110〉、〈112〉、〈100〉に対応した縦弾性係数が $E_1 > E_2$ の関係を満足するように前記結晶方位の組み合わせを選択して半導体装置の直交する端辺を構成したことを特徴とする請求項1記載の半導体装置。

【請求項3】ウェーハの主表面に半導体装置を形成し、裏面を研削もしくはエッティングして厚さを $300\mu m$ 以下に薄形化したウェーハから個々の半導体装置を切り出す工程を有する半導体装置の製造方法であって、前記ウェーハから個々の半導体装置を切り出す工程においては、半導体装置の直交する端辺の長さ L_1 、 L_2 の関係を $L_1 > L_2$ とし、半導体装置の長辺 L_1 方向の縦弾性係数 E_1 と短辺 L_2 方向の縦弾性係数 E_2 との関係を $E_1 > E_2$ とした条件下で、前記薄形化したウェーハから半導体装置を切り出すことを特徴とする半導体装置の製造方法。

【請求項4】ウェーハの主表面に半導体装置を形成し、裏面を研削もしくはエッティングして厚さを $300\mu m$ 以下に薄形化したウェーハから個々の半導体装置を切り出す工程を有する半導体装置の製造方法であって、前記半導体装置の直交する端辺の長さ L_1 、 L_2 の関係が $L_1 = L_2$ 、半導体装置の L_1 方向の縦弾性係数 E_1 と L_2 方向の縦弾性係数 E_2 の関係が $E_1 > E_2$ であり、半導体装置の L_1 方向のダイシング速度 S_1 と L_2 方向のダイシング速度 S_2 との関係を $S_1 > S_2$ としたことを特徴とする半導体装置の製造方法。

【請求項5】前記半導体装置の L_1 方向の縦弾性係数 E_1 と L_2 方向の縦弾性係数 E_2 の関係が $E_1 < E_2$ であり、半導体装置の L_1 方向のダイシング速度 S_1 と L_2 方向のダイシング速度 S_2 との関係を $S_1 < S_2$ としたことを特徴とする請求項4記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置及びその製造方法に係り、特に半導体チップ割れ耐性向上を低コストで実現する半導体装置及びその製造方法に関する。

【0002】

【従来の技術】近年、ノートパソコン、携帯電話、PHS、PDA、ムービー、カメラ、また、メモリーカード、ICカード等の電子機器や情報機器の小形化、軽量化、薄形化に伴い、高密度実装を実現するため、50~30 μm 程度に薄形化した半導体装置を用いることがある。

【0003】半導体装置の薄形化工程は、半導体素子を形成した500~700 μm 厚程度の半導体ウェーハを薄くするための裏面研削、化学的エッティング、また、保護シートからの剥離や、個々の半導体装置に分割するためのダイシングを行う。

【0004】薄形化した従来の半導体装置は、大きなクラックを内在しているため、機械的強度を低下させる問題を有していた。特に、ダイシングを行った場合、半導体装置端部のチッピングが大きくなり、半導体装置の機械的強度を大きく低下させる。

【0005】そのため、半導体装置を回路基板に実装したFCA(Flip Chip Attach)、C4(Controlled Collapse Chip Connection)等のペアチップ実装構造体や、QFP(Quad Flat Package)等を薄形化したパッケージを基板に実装した実装構造体の製造過程や市場において、機械的応力や熱応力によって図4に示すような半導体装置に割れが発生し、電気的不良になることがあった。

【0006】すなわち、図4(a)は、厚さ500 μm の半導体ウェーハの裏面を研削して100 μm の厚さに薄形化したウェーハに対してダイシングを行って個々の半導体装置(チップ)に分離したときの薄形加工面の平面拡大図である。図中の符号2はダイシングラインを示しており、このダイシングライン2に沿って半導体チップ3の端部にチッピング31が発生している。

【0007】また、図4(b)は、この薄形化された半導体チップ3を回路基板10上に実装したペアチップ実装構造体12の断面構造を示しており、0.5kgf/4m m^2 の外力Fで湾曲させた時に、半導体チップ3に割れ14が発生した状態を模式的に示している。なお、同図の9は充填樹脂、11は回路基板上の配線、13は電気的接続用のバンプをそれぞれ示している。

【0008】この半導体装置3に生じる割れ14は、半導体装置の長辺方向の垂直な面に割れを生じることがほとんどである。

【0009】この割れ防止のために、従来は薄くした半導体ウェーハに補強部材を接着してダイシングする方法により、チッピング量を少なくし機械的強度を高くしてチップ割れ耐性を向上させる方法や、例えば特開昭62-142695号公報や特開平08-263616に記載されているように、薄くした半導体装置を実装した実装構造体の上下面もしくは半導体装置の端辺側に補強板を設けて全体の剛性を向上させ、半導体装置に生じる機械的応力を低減する方法等が採られてきた。

【0010】しかし、半導体装置のチップ割れ耐性向上について、半導体装置の物性の方向依存性まで踏み込んで検討した事例はこれまでになかった。

【0011】

【発明が解決しようとする課題】半導体装置として用いられている一般的な材料は、シリコンやGaAs等の脆性材料であるため、これらの材料にクラック等が内在すると機

械的強度が著しく低下する。薄形化工程で機械的強度が低下した半導体装置を回路基板に実装した実装構造体は製造過程や市場において、機械的応力や熱応力によって半導体装置に割れが発生し、電気的不良になる。

【0012】よって、半導体装置のチップ割れ耐性向上は、特にメモリーカードやICカード等の薄形の半導体装置を使用する上での基本的課題であった。そこで、従来は上記のように何らかの補強手段を用いてこれに応えてきたが、かなりのコスト増になっていた。

【0013】したがって、本発明の目的は、このような従来技術の問題点を解消することにあり、半導体装置が薄形化されても何ら特別の補強手段を設けることなく、割れの発生を著しく低減でき、信頼性の高い半導体装置が得られる半導体装置の構造及びその製造方法を提供することにある。

【0014】これによって、半導体装置のチップ割れ耐性の向上をコストを増加させずに実現することができ、また、チップ割れ耐性を維持した状態で低成本化を実現することができる。

【0015】

【課題を解決するための手段】そこで本発明者等は、上記目的を達成するために、半導体チップの機械的強度と機械的応力とが半導体装置のチップ割れに対して如何に影響するのか詳細な実験検討を行った。その結果、半導体装置の直交する端辺の長さ L_1 、 L_2 の関係が $L_1 > L_2$ の場合、半導体装置の長辺 L_1 方向の縦弾性係数 E_1 と短辺 L_2 方向の縦弾性係数 E_2 の関係を $E_1 > E_2$ とすることにより、半導体装置のチップ割れ耐性が著しく向上すると云う知見を得た。

【0016】ここで縦弾性係数 E とは、半導体装置をある一定方向（例えば長辺 L_1 方向、もしくは短辺 L_2 方向）に引っ張ったときの弾性率（ヤング率）を意味するものである。

【0017】本発明に係る半導体装置は、このような新しい知見に基づいてなされたものであり、以下に本発明の原理を具体的に説明する。

【0018】半導体装置のチップ割れ耐性 M は、機械的強度 σ_s と機械的応力 σ_L の関係から、 $M = \sigma_s - \sigma_L$ となる。この半導体装置のチップ割れ耐性 M の向上を実現するためには、半導体装置の縦弾性係数 E の方向依存性と半導体装置端辺の長さ L の関係に依存した機械的強度 σ_s と機械的応力 σ_L をバランスよく確保してチップ割れ耐性 $M = \sigma_s - \sigma_L > 0$ を大きくする必要がある。

【0019】ここで、薄形化された半導体装置の長辺 L_1 方向の機械的応力 σ_{L1} と短辺 L_2 方向の機械的応力 σ_{L2} との関係を、周知の3点曲げ試験により測定する場合を図1(c)及び図1(d)を用いて説明する。

【0020】すなわち、図1(c)は長辺 L_1 方向の機械的応力 σ_{L1} を、図1(d)は短辺 L_2 方向の機械的応力 σ_{L2} を測定する場合を模式的に示したものである。先

ず、所定間隔 d で配置した二つの支点15a-15b上に半導体装置3の薄形加工面を搭載し、これら二つの支点間の中心部に向かって背面の半導体装置の素子形成面側から同一負荷（外力 F ）を掛け測定する。

【0021】一般的に、端辺の長さ L が長いほど機械的応力 σ_L は大きくなるため、図1(c)及び図1(d)に示すように、半導体装置3に同一負荷（外力 F ）が作用した場合、半導体装置の長辺 L_1 方向の機械的応力 σ_{L1} と短辺 L_2 方向の機械的応力 σ_{L2} との関係は、図示のように $\sigma_{L1} > \sigma_{L2}$ となる。

【0022】半導体装置3の長辺 L_1 方向のチップ割れ耐性 M_1 と短辺 L_2 方向のチップ割れ耐性 M_2 をバランスよく確保するには、長辺 L_1 方向の機械的強度 σ_{S1} と、短辺 L_2 方向の機械的強度 σ_{S2} との関係を $\sigma_{S1} > \sigma_{S2}$ となるようにする必要がある。

【0023】一方、半導体装置の機械的強度 σ_s と縦弾性係数 E は、同一材料の場合、 $\sigma_s \propto E$ が成立するため、半導体装置の長辺 L_1 方向の縦弾性係数 E_1 と短辺 L_2 方向の縦弾性係数 E_2 は、 $E_1 > E_2$ になるように選べばよい。

【0024】すなわち、半導体装置の長辺 L_1 方向のチップ割れ耐性 M_1 は、半導体装置の端辺の長さ L_1 に依存して高い機械的応力 σ_{L1} が生じた場合でも、 $E_1 > E_2$ の関係にある縦弾性係数 E_1 に依存して高い機械的強度 σ_{S1} であるため、チップ割れ耐性 M_1 を確保できる。

【0025】また、半導体装置の短辺 L_2 方向のチップ割れ耐性 M_2 は、長辺方向と比べて低い機械的強度 σ_{S2} であっても、端辺の長さ L_2 に依存して低い機械的応力 σ_{L2} となるため、両者バランスよく確保できる。

【0026】よって、半導体装置のチップ割れ耐性 M は、半導体装置の縦弾性係数 E の方向依存性と半導体装置端辺の長さ L との関係を考慮することで、チップ割れ耐性 M の向上をコストを増加させずに実現することができる。

【0027】また、本発明は、半導体装置の直交する端辺の長さ L_1 、 L_2 の関係が $L_1 \neq L_2$ で、半導体装置の L_1 方向の縦弾性係数 E_1 と L_2 方向の縦弾性係数 E_2 との関係が $E_1 > E_2$ の場合には、半導体装置の L_1 方向のダイシング速度 S_1 と L_2 方向のダイシング速度 S_2 との関係を $S_1 > S_2$ として、半導体装置の L_1 方向のダイシング速度 S_1 を L_2 方向のダイシング速度 S_2 よりも速くする半導体装置の製造方法により、所期の目的が達成できる。

【0028】以下にその理由を具体的に述べる。半導体装置のチップ割れ耐性 M を維持するためには、上記と同様に機械的強度 σ_s と機械的応力 σ_L との関係において、 $M = \sigma_s - \sigma_L > 0$ を維持する必要がある。半導体装置の L_1 方向の機械的強度 σ_{S1} と L_2 方向の機械的強度 σ_{S2} の関係は、 $E_1 > E_2$ の関係から $\sigma_{S1} > \sigma_{S2}$ となる。

【0029】また、半導体装置の L_1 方向に生じる機械

的応力 σ_{L1} と L_2 方向に生じる機械的応力 σ_{L2} の関係は、 $L_1=L_2$ より $\sigma_{L1}=\sigma_{L2}$ となる。このため、半導体装置のチップ割れ耐性Mは、半導体装置の直交する端辺の機械的強度 $\sigma_{S1} > \sigma_{S2}$ の関係に依存して、 $M_1 > M_2 > 0$ となる。

【0030】ここで、半導体装置の低コスト化を実現するための一つの方法として、ダイシング速度Sの高速化がある。ダイシング速度Sと機械的強度 σ_S の関係が $\sigma_S \propto 1/S$ であることを考慮し、半導体装置のチップ割れ耐性Mを維持できる範囲内で、ダイシング速度を速くすることが可能となる。

【0031】よって、半導体装置のチップ割れ耐性Mを維持できる範囲内で、半導体装置の L_1 方向のダイシング速度 S_1 と L_2 方向のダイシング速度 S_2 との関係を $S_1 > S_2$ として、半導体装置の L_1 方向のダイシング速度 S_1 を L_2 方向のダイシング速度 S_2 よりも速くすることで、低コスト化を実現することができる。

【0032】また、半導体装置の直交する端辺の長さ L_1 、 L_2 の関係が $L_1=L_2$ であっても、半導体装置の L_1 方向の縦弾性係数 E_1 と L_2 方向の縦弾性係数 E_2 との関係が上記と逆の関係、すなわち、 $E_1 < E_2$ の場合には、半導体装置の L_1 方向のダイシング速度 S_1 と L_2 方向のダイシング速度 S_2 との関係を $S_1 < S_2$ として、半導体装置の L_2 方向のダイシング速度 S_2 を、 L_1 方向のダイシング速度 S_1 よりも速くすればよい。

【0033】また、本発明は、上記半導体装置およびその製造方法において、半導体装置の材料がシリコンの場合、シリコンの結晶方位〈111〉、〈110〉、〈112〉、〈100〉によって機械的強度は $\sigma_{\langle 111 \rangle} > \sigma_{\langle 110 \rangle} = \sigma_{\langle 112 \rangle} > \sigma_{\langle 100 \rangle}$ の関係にあるので、これに対応した縦弾性係数が $E_1 > E_2$ の関係となるように結晶方位の組み合わせを適宜選択して半導体装置の直交する端辺を構成すればよい。

【0034】具体的には、シリコン半導体装置の直交する端辺の長さ L_1 、 L_2 の関係を例えば $L_1 > L_2$ とした場合、①長辺 L_1 方向に結晶方位〈111〉を、短辺 L_2 方向に結晶方位〈110〉を選択する組み合わせ、②長辺 L_1 方向に結晶方位〈111〉を、短辺 L_2 方向に結晶方位〈112〉を選択する組み合わせ、③長辺 L_1 方向に結晶方位〈110〉を、短辺 L_2 方向に結晶方位〈100〉を選択する組み合わせが好ましい。

【0035】本発明の半導体装置を構成する材料としては、シリコン単結晶に限らず非晶質シリコン、さらには例えばG a A s等の化合物半導体でもよい。

【0036】以上説明したように、上記本発明の構成によれば、薄形化した半導体装置を基板に実装したF C A、C 4等のペアチップ実装構造体や、Q F P等を薄形化したパッケージを基板に実装した実装構造体の製造過程や市場において、機械的応力や熱応力によって半導体装置に生じる割れの発生を低減し、コストをかけずに半

導体装置の信頼性を向上させたり、信頼性を維持しながらコスト低減することができる。

【0037】特に、携帯電話、P H S、P D A、メモリーカード、I Cカード等の電子機器や情報機器において、薄形化された半導体装置への補強構造を用いることなく、小形化、軽量化、薄形化のための高密度実装を低成本化で実現することができる。

【0038】

【発明の実施の形態】本発明に係わる半導体装置の実施の形態を図面にしたがって説明する。図1は、本発明に係わる半導体装置の一実施の形態を示す平面図及び断面図、図2は、本発明に係わる半導体装置の他の一実施の形態を示す平面図、図3は、本発明の一実施の形態を具体的に説明する斜視図で、図4は、比較例として従来の半導体装置を基板に実装した実装構造体を示す平面図及び断面図である。

【0039】図1、図2、図3、図4において、符号の1は半導体ウェーハ、2はダイシングライン、3は半導体装置(チップ)、31はチッピング、4は半導体装置の長辺 L_1 方向の縦弾性係数 E_1 、同じく符号の41、42、43は半導体装置の長辺 L_1 方向に平行なシリコンの結晶方位の縦弾性係数 E_1 、符号の5は半導体装置の短辺 L_2 方向の縦弾性係数 E_2 、同じく符号の51、52、53は半導体装置の短辺 L_2 方向に平行なシリコンの結晶方位の縦弾性係数 E_2 、6は半導体装置の L_1 方向のダイシング速度 S_1 、7は半導体装置の L_2 方向のダイシング速度 S_2 、8はダイシング用ブレード、9は充填樹脂、10は回路基板、11は配線、12はペアチップ実装構造体、13は電気的接続用のバンプで、14は割れ、15a及び15bは支点、をそれぞれ示している。

【0040】上記本発明の半導体装置は以下に特徴付けられた二つの製造方法により得ることができる。その一つは、ウェーハの主表面に半導体素子を形成し、裏面を研削もしくはエッチングして厚さを $300\mu m$ 以下に薄形化したウェーハから個々の半導体装置を切り出す工程を有する半導体装置の製造方法であって、前記ウェーハから個々の半導体装置を切り出す工程においては、半導体装置の直交する端辺の長さ L_1 、 L_2 の関係を $L_1 > L_2$ とし、半導体装置の長辺 L_1 方向の縦弾性係数 E_1 と短辺 L_2 方向の縦弾性係数 E_2 との関係を $E_1 > E_2$ とした条件下で、前記薄形化したウェーハから半導体装置を切り出すことを特徴とする。

【0041】他の一つは、ウェーハの主表面に半導体素子を形成し、裏面を研削もしくはエッチングして厚さを $300\mu m$ 以下に薄形化したウェーハから個々の半導体装置を切り出す工程を有する半導体装置の製造方法であって、前記半導体装置の直交する端辺の長さ L_1 、 L_2 の関係が $L_1=L_2$ 、半導体装置の L_1 方向の縦弾性係数 E_1 と L_2 方向の縦弾性係数 E_2 の関係が $E_1 > E_2$ であり、半導体装置の L_1 方向のダイシング速度 S_1 と L_2 方向のダ

イシング速度 S_2 との関係を $S_1 > S_2$ としたことを特徴とする。

【0042】また、半導体装置の L_1 方向の縦弾性係数 E_1 と L_2 方向の縦弾性係数 E_2 の関係が $E_1 < E_2$ のときは、半導体装置の L_1 方向のダイシング速度 S_1 と L_2 方向のダイシング速度 S_2 との関係を $S_1 < S_2$ とすればよい。

【0043】

【実施例】以下、図面にしたがって本発明の実施例を具体的に説明する。

〈実施例1〉本発明に係わる半導体装置の一実施例について、図1を参照しながら説明する。図1(a)は、半導体装置3の直交する端辺の長さ L と縦弾性係数 E の関係を半導体ウェーハ上に示した平面図である。

【0044】厚さ $500\mu m$ のウェーハに半導体素子を形成した後、裏面を研削して厚さ $100\mu m$ とし、この薄形化されたウェーハ1から直交するダイシングライン2に沿って個々の半導体装置3を切り出した。

【0045】図1(b)はその半導体装置3の拡大平面図で、半導体装置3に直交する端辺の長さ L_1 、 L_2 の関係は、 $L_1 > L_2$ である。また、半導体装置3の直交する端辺の長さの関係に対応して、半導体装置3の長辺 L_1 方向の縦弾性係数 (E_1) 4と短辺 L_2 方向の縦弾性係数 (E_2) 5の関係は、 $E_1 > E_2$ で構成される。

【0046】このように、 $L_1 > L_2$ の関係にある半導体装置3の長辺 L_1 方向の縦弾性係数 (E_1) 4をより高くして、短辺 L_2 方向の縦弾性係数 (E_2) 5を低く設けて構成するのは、コストを増加させずに $M = \sigma_s - \sigma_L > 0$ の関係にある半導体装置3のチップ割れ耐性Mの向上を実現するためである。

【0047】なお、チップ割れ耐性Mの向上を実現するための半導体装置3の機械的強度 σ_s は、 $\sigma_s \propto E$ の関係にあり、半導体装置3の機械的応力 σ_L は端辺の長さの増加と共に低くなるので、上記構成の半導体装置3となる。

【0048】この機械的強度 σ_s と縦弾性係数 E との関係について半導体装置3の一般的な材料であるシリコン基板を用いて評価した。機械的強度 σ_s の評価は、同一形状の3種類のシリコン基板を用いて、図1(c)及び図1(d)に示した3点曲げ試験を行った。

【0049】機械的強度 σ_s は、周知の計算式 $\sigma_s = 2PL / 3bh^2$ で求めることができる。式中のPは加重(F)、Lは試料の長さ、bは試料の幅、hは試料の厚さである。この例では、 $L = 4 mm$ 、 $b = 2$ 、 $h = 100\mu m$ の条件とした。

【0050】ここで、3点曲げ試験の時に生じる機械的応力 σ_L の方向は、異なる縦弾性係数 E を有する3種類のシリコンの結晶方位とした。一つ目のシリコン基板に生じる機械的応力 σ_L の方向は、縦弾性係数 $188 GPa$ のシリコンの結晶方位 $\langle 111 \rangle$ 、二つ目のシリコン

基板に生じる機械的応力 σ_L の方向は、縦弾性係数 $169 GPa$ のシリコンの結晶方位 $\langle 110 \rangle$ および $\langle 112 \rangle$ 、三つ目のシリコン基板に生じる機械的応力 σ_L の方向は、縦弾性係数 $130 GPa$ のシリコンの結晶方位 $\langle 100 \rangle$ とした。

【0051】その結果、機械的応力 σ_L の方向の縦弾性係数が $188 GPa$ の場合には、縦弾性係数 $169 GPa$ に比べ、機械的強度 σ_s が平均で1.2倍、縦弾性係数 $130 GPa$ に比べ、機械的強度 σ_s が平均で1.5倍となり、縦弾性係数 E に依存して高い機械的強度 σ_s になることを確認した。

【0052】よって、半導体装置3は、図1(c)及び図1(d)に示すように、外部負荷Fによって生じる機械的応力 σ_L が生じたとしても、割れが生じることなくチップ割れ耐性を確保することができる。

【0053】次いで、図3は、半導体装置3としてシリコンを用いた実施例を示した図で、半導体装置の長辺 L_1 方向に高い縦弾性係数 E_1 を持つシリコンの結晶方位とし、半導体装置の短辺 L_2 方向に低い縦弾性係数 E_2 を持つシリコンの結晶方位で構成した半導体装置である。

【0054】具体的には、図3(a)の半導体装置は、半導体装置の長辺 L_1 方向を $\langle 111 \rangle$ 、短辺 L_2 方向に $\langle 110 \rangle$ とした半導体装置である。この場合、縦弾性係数 $41 (E_1) = 188 GPa$ 、縦弾性係数 $51 (E_2) = 169 GPa$ であるから、 $E_1 > E_2$ となる。

【0055】また、図3(b)の半導体装置は、半導体装置の長辺 L_1 方向を $\langle 111 \rangle$ 、短辺 L_2 方向に $\langle 112 \rangle$ とした半導体装置である。この場合、縦弾性係数 $42 (E_1) = 188 GPa$ 、縦弾性係数 $52 (E_2) = 169 GPa$ であるから、 $E_1 > E_2$ となる。

【0056】図3(c)の半導体装置は、半導体装置の長辺 L_1 方向を $\langle 110 \rangle$ 、短辺 L_2 方向に $\langle 100 \rangle$ とした半導体装置である。この場合、縦弾性係数 $43 (E_1) = 169 GPa$ 、縦弾性係数 $52 (E_2) = 130 GPa$ であるから、 $E_1 > E_2$ となる。

【0057】この場合の各結晶方位における機械的強度 σ_s を平均値で表すと、結晶方位 $\langle 111 \rangle$ の場合には $\sigma_s = 1.0 \sim 1.7 GPa$ 、結晶方位 $\langle 110 \rangle$ 及び $\langle 112 \rangle$ の場合には、いずれも $\sigma_s = 0.8 \sim 1.5 GPa$ 、結晶方位 $\langle 100 \rangle$ の場合には $\sigma_s = 0.3 \sim 1.0 GPa$ となる。

【0058】なお、図3(a)～図3(c)において、 L_1 及び L_2 の結晶面方位を、逆転させた比較例の場合には、いずれも $E_1 < E_2$ となり、チップ割れ耐性が $M = \sigma_s - \sigma_L < 0$ となって全く実用にならなかった。

【0059】〈実施例2〉次に、本発明に係わる半導体装置3の他の一実施例として図2を用いて説明する。図2(a)は、半導体装置3の直交する端辺の長さ L および縦弾性係数 E と、ダイシング速度 S との関係を半導体ウェーハ上に示した平面図である。

【0060】図2(a)の半導体装置3は、半導体装置

3の直交する端辺の長さ L_1 、 L_2 の関係が $L_1 = L_2$ の場合、半導体装置の L_1 方向の縦弾性係数(E_1)4と L_2 方向の縦弾性係数(E_2)5の関係を $E_1 > E_2$ となるように構成する。この時の半導体装置のチップ割れ耐性Mは、半導体装置の直交する端辺の機械的強度 $\sigma_{S1} > \sigma_{S2}$ の関係に依存して $M_1 > M_2$ となる。

【0061】ここで、半導体装置3のチップ割れ耐性Mを維持した状態で低コスト化を実現するための半導体装置3の製造方法は、ダイシング速度Sと機械的強度 σ_S の関係が $\sigma_S \propto 1/S$ であることを考慮して、半導体装置の L_1 方向のダイシング速度(S_1)6を、半導体装置の L_2 方向のダイシング速度(S_2)7より早くする方法である。このようなプロセスの半導体装置3は、図2(b)に示すように、ダイシング工程で生じる半導体装置3の端部へのチッピングを増加させることなく、半導体装置3のチップ割れ耐性Mを確保することができる。

【0062】

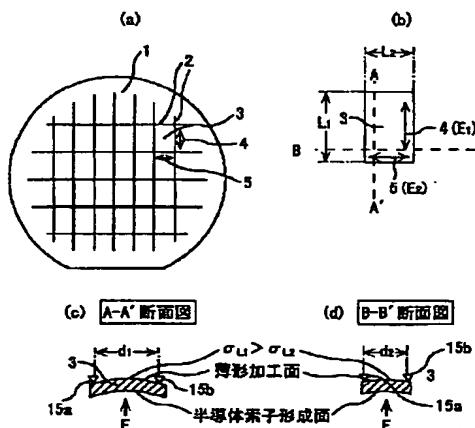
【発明の効果】本発明によれば、薄形化した半導体装置を基板に実装したFCA、C4等のペアチップ実装構造体や、QFP等を薄形化したパッケージを基板に実装した実装構造体の製造過程や市場において、機械的応力や熱応力によって半導体装置に生じるクラックを防止し、信頼性を向上させることができる。

【0063】特に、携帯電話、PHS、PDA、メモリカード、ICカード等の電子機器や情報機器において、半導体装置への補強構造を用いてことなく、小形化、軽量化、薄形化のための高密度実装を低成本で実現できる。

【図面の簡単な説明】

【図1】

図 1



1…半導体ウェーハ 2…ダイシングライン 3…半導体装置
4, E₁…半導体装置の長辺 L_1 方向の縦弾性係数
5, E₂…半導体装置の短辺 L_2 方向の縦弾性係数
15a, 15b…始点

【図1】本発明の一実施例に係わる半導体装置で、図1(a)は半導体装置の直交する端辺の長さと縦弾性係数との関係を半導体ウェーハ上に示した平面図、図1(b)は半導体装置の拡大平面図、図1(c)は図1(b)のA-A'断面の湾曲状態図、図1(d)は図1(b)のB-B'断面の湾曲状態図である。

【図2】本発明の他の一実施例に係わる半導体装置の製造方法で、図2(a)は半導体装置の直交する端辺の長さおよび縦弾性係数と、ダイシング速度の関係を半導体ウェーハ上に示した平面図、図2(b)は半導体ウェーハを個々の半導体装置に分離した時の薄形加工面の拡大平面図である。

【図3】本発明の実施例を具体的に説明する斜視図である。

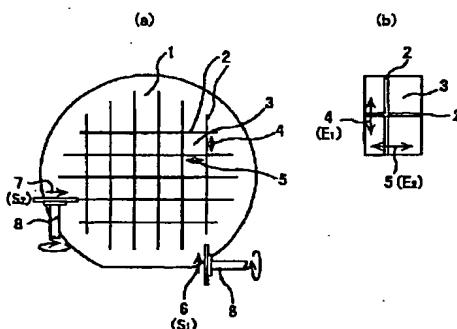
【図4】従来の実施の形態を示す説明図で、図4(a)は半導体ウェーハを個々の半導体装置に分離した時の薄形加工面の拡大平面図、図4(b)はペアチップ実装構造体を湾曲させた時の断面図である。

【符号の説明】

- 20 1…半導体ウェーハ、 2…ダイシングライン、 3…半導体装置、 4、 41、 42、 43、 E₁…半導体装置の長辺 L_1 方向の縦弾性係数、 5、 51、 52、 53、 E₂…半導体装置の短辺 L_2 方向の縦弾性係数、 6、 S₁…半導体装置の L_1 方向のダイシング速度、 7、 S₂…半導体装置の L_2 方向のダイシング速度、 8…ダイシング用ブレード、 9…充填樹脂、
10…回路基板、 11…配線、 1
2…ペアチップ実装構造体、 13…電気的接続用のパンプ、 14…割れ、 15a、 15b…支点。

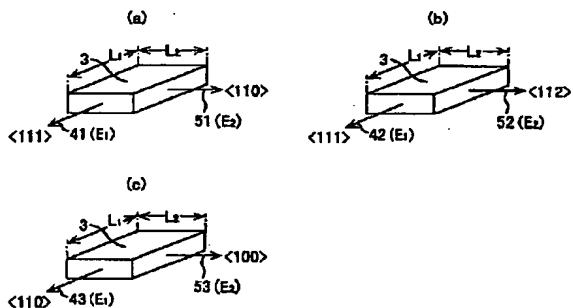
【図2】

図 2



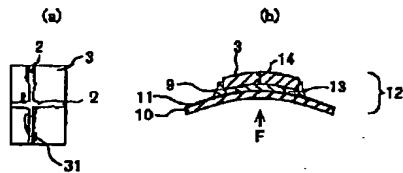
【図3】

図 3



【図4】

図 4



フロントページの続き

(72)発明者 坂口 勝
神奈川県横浜市戸塚区吉田町292番地 株
式会社日立製作所生産技術研究所内

(72)発明者 吉田 勇
神奈川県横浜市戸塚区吉田町292番地 株
式会社日立製作所生産技術研究所内